

Au début des années 80, afin de diminuer le coût de fabrication des circuits imprimés des appareils grand public (téléviseurs, magnétoscopes, etc.), la société **RTC Philips** a eut l'idée de remplacer les nombreuses liaisons nécessaires à l'interconnexion des circuits intégrés par un bus de communication comprenant deux fils. Le bus **I2C** était né !

1- Structure et organisation du bus I2C

Le bus I2C est un bus de type **série synchrone** ne nécessitant que **deux signaux**.

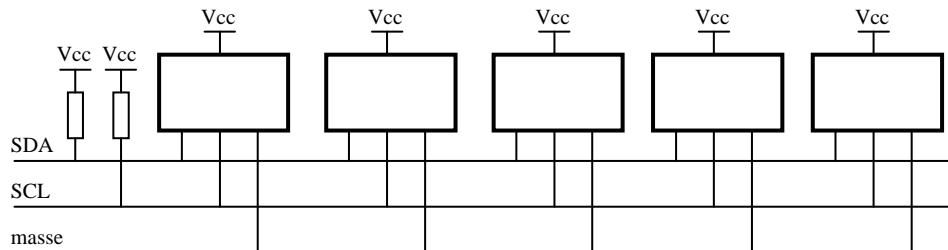
Un bus série synchrone est une liaison sur laquelle les **données binaires** circulent sur un fil (les unes à la suite des autres) au rythme (**synchronisées** par) d'un signal d'horloge envoyé sur un second fil.

Pour le bus I2C, ces deux fils sont désignés par :

- **SDA**(), supportant le signal .
- **SCL**(), supportant le signal .

Ce bus permet à un **circuit maître** de communiquer avec un **circuit esclave**. Le maître est le circuit qui émet le signal d'horloge. Le montage peut comporter plusieurs maîtres et plusieurs esclaves mais il ne peut y avoir qu'un seul circuit maître du bus. Les deux lignes sont **bidirectionnelles**, de sorte que chaque circuit, qu'il soit maître ou esclave peut servir d'émetteur ou de récepteur de données.

Les différents circuits sont placés en parallèle sur les lignes SDA et SCL comme sur le schéma ci-dessous :



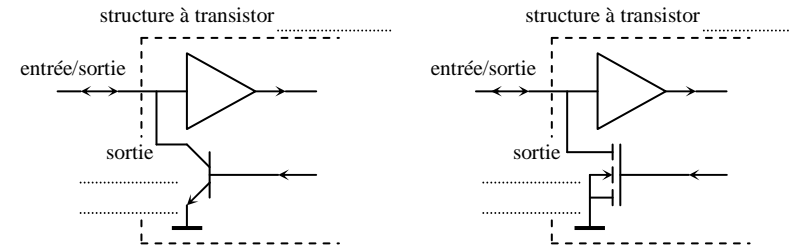
Les sorties des circuits sont de type **collecteur ou drain ouvert**. « **Au repos** », c'est à dire lorsque aucun circuit n'émet, les signaux SDA et SCL sont au niveau logique car il y a des résistances de rappels (pull-up) sur les fils SDA et SCL. Les sorties reliées ensembles forment un **ET câblé**, c'est à dire que dès qu'un circuit applique en sortie un niveau logique , toute la ligne est à quel que soit l'état des autres sorties.

Le fait qu'une broche soit à la fois une entrée et une sortie permet au bus de « **s'auto espionner** ». Pour éviter les conflits,

Le bus I2C_élève

un maître qui veut émettre doit attendre que le bus soit au repos.

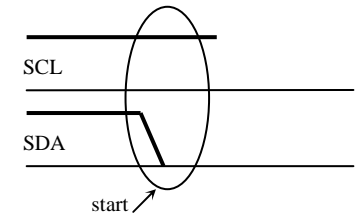
Structure des entrées/sorties SDA et SCL :



2- Le protocole I2C

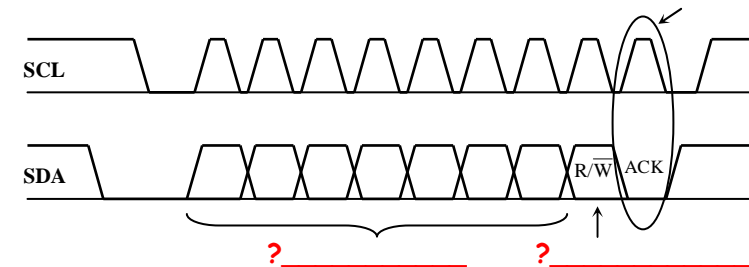
□ Prise de contrôle du bus par un maître et début de la communication

Le bus étant initialement libre, SDA et SCL sont à 1. Un maître prend le contrôle du bus en effectuant un **START** : il met SDA à 0, SCL restant à 1. Au cours de la communication, l'horloge SCL est envoyée par le maître et SDA ne peut changer d'état que lorsque SCL est à 0.



□ Adressage de l'esclave, type d'opération et réponse de l'esclave

Après avoir pris le contrôle du bus, le maître envoie une adresse sur 7 bits pour sélectionner un esclave (bit de poids fort en premier). Le huitième bit, appelé **R/W**, indique si le maître souhaite faire une opération de ou . Simultanément, le maître génère huit impulsions d'horloge sur la ligne SCL.



Tous les esclaves **lisent** l'adresse envoyée par le maître. L'esclave qui reconnaît son adresse répond au maître en

maintenant SDA au niveau logique bas : c'est le bit d'acquiescement appelé **ACK** (acknowledge). L'esclave est alors prêt à communiquer avec le maître. Les autres esclaves restent au repos.

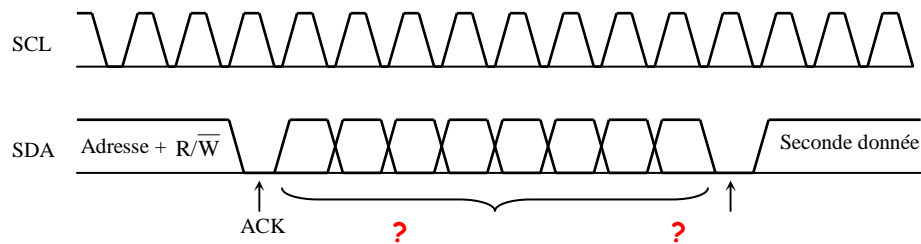
Si le bit $\overline{R/W}$ envoyé par le maître est à :

- 1, le maître effectue une lecture, les données transitent de l'esclave vers le maître.
- 0, le maître effectue une écriture, les données transitent du maître vers l'esclave.

□ Envoi des données

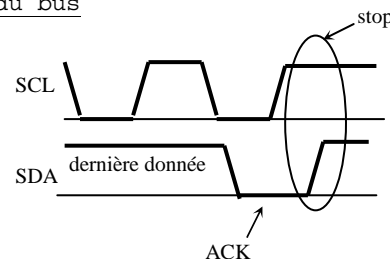
Chaque donnée est formée d'un octet envoyé bit par bit sur la ligne SDA (bit de poids fort en premier). Plusieurs octets peuvent être transmis au cours de la communication.

L'émetteur transmet les 8 bits du premier octet puis le récepteur acquiesce la transmission en maintenant la ligne SDA à 0 (bit ACK). L'émetteur envoie ensuite les 8 bits du second octet et le récepteur acquiesce. Le même cycle se répète jusqu'à ce que toutes les données aient été envoyées.



□ Fin de la communication et libération du bus

Pendant la communication, les changements d'état sur SDA se produisent lorsque SCL est à 0. Pour mettre fin à la communication, le maître effectue un **STOP** : il met d'abord SCL à 1 puis ramène SDA à 1. C'est le changement d'état de SDA alors que SCL est à 1 qui met fin à la communication.



□ Synchronisation du maître et de l'esclave

Habituellement, la ligne SCL fonctionne _____ pour un maître et _____ pour un esclave car c'est le maître qui génère _____. Lorsqu'un esclave veut obliger un maître à **ralentir la communication**, il maintient la ligne SCL à 0 pour l'empêcher de la ramener à 1. La communication reprend lorsque

l'esclave libère la ligne SCL. Cette opération s'appelle la **synchronisation**.

□ Arbitrage en cas de conflit

Un maître ne peut pas prendre le contrôle du bus si celui-ci est déjà occupé. Mais il peut arriver que deux maîtres cherchent à prendre le contrôle du bus en même temps, à quelques nanosecondes près. Dans ce cas l'arbitrage se fait sur la ligne SDA. Le premier des deux maîtres qui veut établir la communication doit vérifier que SDA=1 (ligne libre), si cette dernière est à 0, cela signifie que la ligne est occupée, il doit cesser d'émettre et se placer en récepteur au cas où la donnée envoyée par l'autre maître lui serait destinée.

3- Quelques performances et limites d'emploi du bus I2C

Le bus I2C est réservé à de **courtes liaisons** entre des composants interconnectés sur une même carte ou entre cartes reliées par des fils de quelques centimètres.

Les spécifications du bus I2C datant de 1992 imposent :

- un adressage sur 10 bits soit _____ adresses possibles,
- une vitesse de transmission limitée à 400 Kbits/seconde dans sa version la plus rudimentaire, soit _____ Ko/seconde,
- que les sorties d'un circuit non alimenté soient mises **en haute impédance** afin de ne pas bloquer le bus.

Le nombre de composants qu'il est possible de relier est limité par la **charge capacitive** des lignes SDA et SCL : 400pf (à cause de la vitesse de transmission sur le bus). A titre d'exemple, les broches SDA et SCL de la mémoire vive PCF8570 ont une capacité d'entrée de 7pF.

4- Exemples de circuits intégrés pour le bus I2C

Le **maître** est souvent un **microcontrôleur** intégrant une interface I2C.

Les **esclaves** sont des circuits intégrant une interface I2C et réalisant la même fonction que des circuits intégrés couramment utilisés :

- CAN et CNA : PCF8591
- mémoire vive : 24C32
- Entrées / sorties : PCF8574
- horloge calendrier : PCF8583

5- Bibliographie

Le bus I2C : Principes et mise en œuvre D. PARET DUNOD